

PAT-NO: JP404152656A  
DOCUMENT-IDENTIFIER: JP 04152656 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF  
PUBN-DATE: May 26, 1992

INVENTOR-INFORMATION:  
NAME  
FUJIKI, AKIMASA  
TANAKA, EISUKE  
KISHIBE, KENJI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
MITSUBISHI ELECTRIC CORP N/A

APPL-NO: JP02279856  
APPL-DATE: October 17, 1990

INT-CL (IPC): H01L021/90, H01L021/31

US-CL-CURRENT: 427/248.1, 438/624 , 438/763 , 438/FOR.355 ,  
438/FOR.395

ABSTRACT:

PURPOSE: To enable an interlayer insulating film to be formed excellent in crack resistance and evenness by a method wherein a coated insulating film is formed on a lower silicon oxide film, and a silicon oxide film which is deposited through a plasma CVD method or a thermal CVD method and possessed of compressive stress is formed thereon.

CONSTITUTION: A silicon oxide film 4c which is deposited

through a plasma method or a thermal CVD method and possessed of compressive stress is interposed between a coated insulating film 4b possessed of tensile stress on a lower silicon oxide film 4a and a silicon oxide film 4d serving as an intermediate layer which is formed through a thermal CVD method using a mixed gas mainly composed of organic silane and ozone as reacting gas. By this setup, the tensile stress of the coated insulating film and the compressive tensile of the silicon oxide film 4c are made to cancel each other, so that, cracks hardly occur between these films, and a wiring pattern arranged at intervals of the order of submicrons and the flattened contact hole can be realized owing to the flattening effect of the coated insulating film 4c and the excellent step coverage effect of the silicon oxide film 4d.

COPYRIGHT: (C)1992,JPO&Japio

## ⑫ 公開特許公報(A)

平4-152656

⑤ Int.Cl.<sup>5</sup>H 01 L 21/90  
21/31  
21/90

識別記号

J

庁内整理番号

7353-4M

M

7353-4M  
7342-4M

④ 公開 平成4年(1992)5月26日

H 01 L 21/95

審査請求 未請求 請求項の数 2 (全11頁)

⑭ 発明の名称 半導体装置、およびその製造方法

⑮ 特 願 平2-279856

⑯ 出 願 平2(1990)10月17日

⑰ 発 明 者 藤 木 謙 昌 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 発 明 者 田 中 英 祐 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 発 明 者 岸 部 健 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体装置、およびその製造方法

## 2. 特許請求の範囲

(1) 各層配線膜の相互間を層間絶縁膜によって絶縁させた多層配線構造を有する半導体装置において、

前記配線膜上に、有機シランと酸素を主成分とする混合ガスを反応ガスにして、プラズマCVD法、あるいは熱CVD法で堆積させた下層のシリコン酸化膜と、

前記下層のシリコン酸化膜上に、塗布形成させた塗布絶縁膜と、

前記塗布絶縁膜上に、プラズマCVD法、あるいは熱CVD法で堆積させた圧縮の応力をもつシリコン酸化膜と、

前記圧縮の応力をもつシリコン酸化膜上に、有機シランとオゾンとを主成分とする混合ガスを反応ガスにして、熱CVD法で堆積させた中間層のシリコン酸化膜と、

前記中間層のシリコン酸化膜上に、有機シランと酸素を主成分とする混合ガスを反応ガスにして、プラズマCVD法、あるいは熱CVD法で堆積させた上層のシリコン酸化膜とを備え、

これらの各膜をそれぞれ順次に積層させて前記層間絶縁膜を構成したことを特徴とする半導体装置。

(2) 各層配線膜の相互間を層間絶縁膜によって絶縁させた多層配線構造を有する半導体装置の製造方法において、

前記配線膜上に、有機シランと酸素を主成分とする混合ガスを反応ガスに用い、プラズマCVD法、あるいは熱CVD法により、下層のシリコン酸化膜を堆積させる工程と、

前記下層のシリコン酸化膜上に、塗布絶縁膜を塗布形成させる工程と、

前記塗布絶縁膜上に、プラズマCVD法、あるいは熱CVD法により、圧縮の応力をもつシリコン酸化膜を堆積させる工程と、

前記圧縮の応力をもつシリコン酸化膜上に、有

機シランとオゾンとを主成分とする混合ガスを反応ガスに用い、熱CVD法により、中間層のシリコン酸化膜を堆積させる工程と、

前記中間層のシリコン酸化膜上に、有機シランと酸素とを主成分とする混合ガスを反応ガスに用い、プラズマCVD法、あるいは熱CVD法により、上層のシリコン酸化膜を堆積させる工程とを含み、

前記各膜の積層によって前記層間絶縁膜を構成させるようにしたことを特徴とする半導体装置の製造方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

この発明は、半導体装置、およびその製造方法に関し、さらに詳しくは、半導体装置における多層配線構造、および半導体装置における多層配線構造の製造方法の改良に係るものである。

#### 〔従来の技術〕

半導体装置における高集積化、多機能化に伴って、一般的に、多層配線構造が採用されており、

が構成されるもので、この場合、前記ゲート電極14は、ワード線として作用する。

また、前記ソース領域11となるn<sup>+</sup>型拡散層の上部には、第1のコンタクトホール15を通して多結晶シリコンからなるストレージノード16が形成されると共に、その上にシリコン窒化膜からなる高誘電体膜17を挟んでセルプレート18が形成されており、これらの各部によってスタックド・キャパシタが構成されるもので、この場合、前記ストレージノード16とセルプレート18とは、キャパシタの電極として作用する。

しかし、前記した1組のMOSトランジスタとキャパシタとからなるメモリーセル部は、フィールド酸化膜19によって他の組のメモリーセル部と素子分離されている。また、前記ゲート電極14と、ストレージノード16、およびセルプレート18との間は、絶縁膜20によって絶縁されると共に、当該セルプレート18上にあつて、第1（下層）の層間絶縁膜としてのシリコン酸化膜21が被覆されており、その上部には、ビット線となる第1（下

このための多層配線技術は、今後の重要な技術の一つになっている。

第3図には、従来例のこの種の多層配線構造を有する半導体装置、こゝでは、Dynamic Random Access Memory(以下、DRAMと呼ぶ)におけるメモリーセル部の断面構造の概要を模式的に示してある。この場合、前記メモリーセルは、1つのMOS(Metal-Oxide-Semiconductor)トランジスタと1つのキャパシタとで構成されており、当該キャパシタには、いわゆる、スタックド・キャパシタと呼ばれる構造が採用され、積層化によって実効的な面積を大きくすることで、その大容量化が図られている。

すなわち、この第3図に示す従来例装置の構成において、p型シリコン基板10の主面上部には、n<sup>+</sup>型拡散層によるソース領域11、およびドレイン領域12が形成されると共に、これらの各領域間での主面にゲート酸化膜13を介して多結晶シリコンからなるゲート電極14が形成されており、これらの各部によってnチャネル型MOSトランジスタ

層)のアルミニウム配線膜(以下、A<sub>2</sub>配線と呼ぶ)23がそれぞれ選択的に形成され、当該各第1のA<sub>2</sub>配線23は、第2のコンタクトホール22を通して前記ドレイン領域12に接続されている。さらに、前記各第1のA<sub>2</sub>配線23上には、第2（上層）の層間絶縁膜としてのシリコン酸化膜24を介して第2（上層）のA<sub>2</sub>配線25がそれぞれ選択的に形成され、かつその上部をバシベーション膜26により保護被覆してある。

そして、第4図は、前記した第3図のIV-IV線に沿う簡略化した断面図であるが、こゝでは、前記第2の層間絶縁膜24について詳細に説明するために、当該第2の層間絶縁膜24が、下側から上側にかけて、下部シリコン酸化膜24aと塗布絶縁膜24bと上部シリコン酸化膜24cとの積層構造にされた場合を示しており、この第2の層間絶縁膜24については、その上に形成される前記第2のA<sub>2</sub>配線25のパターニング性、ならびに配線の信頼性を良好にするために、充分な平坦性を必要としている。

次に、前記積層構造からなる第2の層間絶縁膜24の形成工程を第5図に順次模式的に示す。

まず、シリコン基板10の主面上にあって、例えば、CVD法により、第1の層間絶縁膜21を所定の膜厚で形成し、かつコンタクトホール22の形成後、その上に、例えば、スパッタ法により、第1のAl配線23を5000~7000Å程度の膜厚で形成する。ついで、当該第1のAl配線23上に、例えば、ポジ型のレジストを塗布し、かつフォトリソグラフィ法によるパターンニングをなしてレジストパターン(図示省略)を形成した後、当該レジストパターンをマスクにして、例えば、反応性イオンエッチング(以下、RIEと呼ぶ)を行なうことにより、第1のAl配線23を選択的にエッチング成形して、所要の配線パターンを得る(第5図(a))。

続いて、前記第1のAl配線23の配線パターンを全面で被覆するように、第1の層間絶縁膜21上に、例えば、熱CVD法とかプラズマCVD法によって、シラン( $\text{SiH}_4$ )と酸素( $\text{O}_2$ )との混合ガス、

形成する(第5図(d))。

なお、ここで、これらの各膜24a, 24b, 24cからなる第2の層間絶縁膜24の膜厚については、前記第1のAl配線23上において、8000~10000Å程度であってよい。

[発明が解決しようとする課題]

従来の半導体装置における多層配線構造は、以上のように構成されており、それぞれの各配線層の微細化に伴って、次のような好ましくない種々の問題点を生ずる。

すなわち、各Al配線が微細化されて、その配線相互間の間隔とか、コンタクトホールの内径が小さくされ、サブミクロン級になると、第6図に示されているように、各第1のAl配線23のパターン間、ならびにそのコンタクトホール22内にあって、それぞれに下部シリコン酸化膜24aを介して溜められることになる塗布絶縁膜24b自体の厚み $t_0, t_1$ が比較的に大きくなると、その後のベーキング処理工程において、この塗布絶縁膜24bの該当部分にクラック27が発生するという不利があ

るいは、シラン( $\text{SiH}_4$ )と亜酸化窒素( $\text{N}_2\text{O}$ )との混合ガスを反応ガスとして、300~450℃程度の温度で、下部シリコン酸化膜24aを所定の膜厚で形成する(第5図(b))。

さらに、前記下部シリコン酸化膜24a上の全面に対して、前記それぞれの各第1のAl配線23での配線パターン間、およびコンタクトホール22部をそれぞれ埋め込むようにして、例えば、回転塗布法により、シラノール( $\text{Si}(\text{OH})_4$ )などを主成分とする無機塗布絶縁膜24bを塗布形成させ、かつこれを、100~300℃程度の温度で、数分間ベーキング処理してアルコールなどの溶媒を蒸発させると共に、引き続き、例えば、400℃以上の温度によるベーキングを行なうことにより、当該塗布絶縁膜24bを焼きしめて安定化させ、このようにして、膜表面の可及的な平坦化がなされる(第5図(c))。

その後、前記塗布絶縁膜24b上の全面に、前記した下部シリコン酸化膜24aの場合と同様の手段により、上部シリコン酸化膜24cを所定の膜厚で

る。

そして、前記クラック27の発生は、当該塗布絶縁膜24bがベーキング処理工程において、急激に体積収縮を起こすことに起因しており、例えば、シラノール( $\text{Si}(\text{OH})_4$ )などを主成分とする塗布絶縁膜24bの場合には、前記厚み $t_0, t_1$ が0.5μm程度を越えることで、当該クラック27が発生し易くなるものであった。

一方、このクラック27が発生しない程度にまで塗布絶縁膜24bの厚みを抑えるときは、各第1のAl配線23のパターン間、ならびにコンタクトホール22の平坦性が不十分になるという不都合がある。

そこで、従来方法においては、前記した“シラン( $\text{SiH}_4$ )と酸素( $\text{O}_2$ )との混合ガス、あるいは、シラン( $\text{SiH}_4$ )と亜酸化窒素( $\text{N}_2\text{O}$ )との混合ガスを用い、プラズマCVD法により300~450℃程度の温度で堆積させるシリコン酸化膜”に代え、“有機シラン、例えば、TEOS(Tetra Ethyl Ortho Silicate, テトラエトキシシラン( $\text{Si}(\text{OC}_2\text{H}_5)_4$ ))と

酸素( $O_2$ )との混合ガスを用い、プラズマCVD法により 300~450℃程度の温度で堆積させるシリコン酸化膜”とか、同様に、“TEOSなどの有機シランとオゾン( $O_3$ )”を用い、プラズマCVD法により 300~450℃程度の温度で堆積させるシリコン酸化膜”によって、所要の平坦化を行なうという試みがなされている。

これらは、その何れもが有機シランを用いることにより、化学気相反応時における基板表面での反応の割合を増し、従来のシラン( $SiH_4$ )を用いる場合に比較するとき、ステップカバレッジに優れたシリコン酸化膜を堆積し得るという利点を有している。

しかし、前記の前者方法によって形成されるシリコン酸化膜は、従来のシラン( $SiH_4$ )を用いたシリコン酸化膜に比較して、そのステップカバレッジは良好であるが、後者ほどではなく、また、後者方法によって形成されるシリコン酸化膜では、非常に良好なステップカバレッジがなされるが、一方で、膜厚が厚くなると、膜自体のもつ収縮応

力によって、クラックが発生し易くなること、および絶縁性に乏しいことなどの課題がある。

こゝで、第7図(a)ないし(d)には、前記の有機シランを用いて堆積形成するシリコン酸化膜を組み合わせた積層構造による層間絶縁膜の形成方法の一例を示してある。

すなわち、この場合には、先に述べたようにして、所要部分にコンタクトホール22を開口させた第1の層間絶縁膜21上に、下層の第1のA2配線23の配線パターンを形成させた後、まず、これらの第1のA2配線23の配線パターンを被覆するように、当該第1の層間絶縁膜21上の全面に対して、例えば、プラズマCVD法により、TEOSと酸素( $O_2$ )とを反応ガスに用い、300~450℃程度の温度によって、下層の“TEOS+ $O_2$ 系、プラズマCVD、シリコン酸化膜”28aを3000Å程度の厚さで堆積形成させる(第7図(a))。

ついで、前記下層の“TEOS+ $O_2$ 系、プラズマCVD、シリコン酸化膜”28a上の全面に、例えば、熱CVD法により、TEOSとオゾン( $O_3$ )

とを反応ガスに用い、300~450℃程度の温度によって、中間層の“TEOS+ $O_2$ 系、熱CVD、シリコン酸化膜”28bを6000Å程度の厚さで堆積形成させる。この場合、当該中間層の“TEOS+ $O_2$ 系、熱CVD、シリコン酸化膜”28bでは、そのステップカバレッジが良好であることから、第1のA2配線23のパターン間、ならびにコンタクトホール22内が埋め込まれて、効果的な平坦化がなされるのであるが、しかし一方で、各下層のA2配線23の微細化に伴い、その配線相互間の間隔、ならびにコンタクトホールの内径が小さくされて、そのアスペクト比が大きくなってくると、当該下層のA2配線23、特に、コンタクトホール22の部分でのA2配線が、オーバーハング形状のA2配線23aとなって、いわゆる、ボイド29を生じ易くなる(第7図(b))。

さらに、前記中間層の“TEOS+ $O_2$ 系、熱CVD、シリコン酸化膜”28bを、例えば、四弗化硅素( $CF_4$ )を反応ガスに用いたRIEによって、6500Å程度まで全面エッチバックすると、当該中

間層の“TEOS+ $O_2$ 系、熱CVD、シリコン酸化膜”28bは、第1のA2配線23の配線パターン間、ならびにコンタクトホール22内などの凹形状の部分にのみ残される。しかし、この場合、前記コンタクトホール22部に生じていたボイド29については、このRIE処理に伴い、その上部が開口されて細孔30になってしまう(第7図(c))。

その後、前記下層の“TEOS+ $O_2$ 系、プラズマCVD、シリコン酸化膜”28aと、部分的に残された中間層の“TEOS+ $O_2$ 系、熱CVD、シリコン酸化膜”28bとの全面を被覆するように、例えば、プラズマCVD法により、TEOSと酸素( $O_2$ )とを反応ガスに用い、300~450℃程度の温度によって、上層の“TEOS+ $O_2$ 系、プラズマCVD、シリコン酸化膜”28cを5000Å程度の厚さで堆積形成させる。ところが、この場合、前記したように、コンタクトホール22部にボイド29を生じているために、当該上層の“TEOS+ $O_2$ 系、プラズマCVD、シリコン酸化膜”28cは、下層側を均一に被覆するようには形成されずに、

ボイド29の部分に対応して非被覆部分30を生ずることになるものであった(第7図(d))。

仍って、前記非被覆部分30の発生を回避するために、こゝでもまた、前記下層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”28aと、中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”28bとの間にあって、塗布絶縁膜を介在させる手段が考えられる。

次に、第8図(a)ないし(e)には、前記の有機シランを用いて堆積形成するシリコン酸化膜と塗布絶縁膜とを組み合わせた積層構造による層間絶縁膜の形成方法の一例を示してある。なお、この場合、前例と重複する部分については、その説明を適宜に省略する。

まず、前記の第7図(a)の場合と同様に、第1のA<sub>2</sub>配線23の配線パターン上に、下層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”28aを堆積形成させる(第8図(a))。

そして、当該下層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”28a上の全面に対し

タクトホール22内をボイド29などの発生なしに埋め込み得るのであるが、一方、こゝでの塗布絶縁膜28dについては、それ自体が引張りの応力を有しており、かつ中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”28bについても、同様に引張りの応力を有しているために、これらの塗布絶縁膜28d、および中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”28bにあって、こゝでも同様に、好ましくないクラック31が発生することになる(第8図(c))。

さらに、前記第7図(c)および(d)の場合と同様に、中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”28bを全面エッチバックして平坦化させた上で(第8図(d))、上層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”28cを堆積形成させる(第8図(e))。

しかして、前記したように、クラック27、31とかボイド29などが発生すると、その上部に、上層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”28cを堆積形成させても、これらの下層

で、回転塗布法により、シラノール(Si(OH)<sub>4</sub>)などを主成分とする無機系の塗布絶縁膜28dを用いて、第1のA<sub>2</sub>配線23の配線パターン間、ならびにコンタクトホール22内などの凹形状の部分の埋め込むように塗布形成させると共に、これを100～300℃程度の温度で、数分間ベーキング処理してアルコールなどの溶媒を蒸発させ、かつ引き続き、例えば、400℃以上の温度によるベーキングを行なうことにより、当該塗布絶縁膜28dを焼きしめて安定化させる。そして、このとき、塗布絶縁膜28dについては、クラックが入らない程度の膜厚により、前記した第1のA<sub>2</sub>配線23でのオーバーハング形状23aを回避できておればよい(第8図(b))。

ついで、前記塗布絶縁膜28d上の全面に、前記第7図(b)の場合と同様にして、中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”28bを堆積形成させる。そして、このとき、第1のA<sub>2</sub>配線23でのオーバーハング形状23aは、当該塗布絶縁膜28dによって回避されているために、コン

側の形状が反映されることになって、上層の第2のA<sub>2</sub>配線25の配線パターンを阻害したり、あるいはまた、第9図に示されているように、該当部分のステップカバレッジが悪くなるために、当該上層の第2のA<sub>2</sub>配線25が、所期通りに均一かつ全体的に被覆されずに、部分的に被覆されない箇所、換言すると、断線箇所32を生ずるという不都合がある。

そして、これらの不都合な各点については、装置の高集積化、ならびに微細化、それに多層化が進むにつれてより一層、顕著になるもので、この結果、装置構成における電気的特性の劣化を招くに至り、装置の信頼性が著るしく損なわれるものであった。

この発明は、従来のこのような問題点を解消するためになされたもので、その目的とするところは、良好な平坦化が可能であって、高集積化、微細化による多層配線構造の形成に好適し、かつ信頼性を充分に向上させ得るようにした、この種の半導体装置、およびその製造方法、こゝでは、半

導体装置における多層配線構造、およびその製造方法を提供することである。

(課題を解決するための手段)

前記目的を達成するために、この発明に係る半導体装置は、各層配線膜の相互間を層間絶縁膜によって絶縁させた多層配線構造を有する半導体装置において、前記配線膜上に、有機シランと酸素を主成分とする混合ガスを反応ガスにして、プラズマCVD法、あるいは熱CVD法で堆積させた下層のシリコン酸化膜と、前記下層のシリコン酸化膜上に、塗布形成させた塗布絶縁膜と、前記塗布絶縁膜上に、プラズマCVD法、あるいは熱CVD法で堆積させた圧縮の応力をもつシリコン酸化膜と、前記圧縮の応力をもつシリコン酸化膜上に、有機シランとオゾンの主成分とする混合ガスを反応ガスにして、熱CVD法で堆積させた中間層のシリコン酸化膜と、前記中間層のシリコン酸化膜上に、有機シランと酸素を主成分とする混合ガスを反応ガスにして、プラズマCVD法、あるいは熱CVD法で堆積させた上層のシリコン酸化

いは熱CVD法により、上層のシリコン酸化膜を堆積させる工程とを含み、前記各膜の積層によって前記層間絶縁膜を構成させるようにしたことを特徴としている。

(作 用)

従つて、この発明では、層間絶縁膜の構成において、下層のシリコン酸化膜上の塗布絶縁膜、こゝでは、引張りの応力をもつ塗布絶縁膜と、有機シランとオゾンの主成分とする混合ガスを反応ガスにして、熱CVD法で堆積させた中間層のシリコン酸化膜との間に、プラズマCVD法、あるいは熱CVD法で堆積させた圧縮の応力をもつシリコン酸化膜を介在させているので、塗布絶縁膜の引張りの応力と、シリコン酸化膜の圧縮の応力とが相殺されることになり、このために、これらの両膜間にクラックを生ずる恐れがなく、また、塗布絶縁膜の平坦化効果と、中間層のシリコン酸化膜の優れたステップカバレッジ効果とによって、サブミクロン級での配線パターン間隔、およびコンタクトホール部の平坦化が可能になる。

膜とを備え、これらの各膜をそれぞれ順次に積層させて前記層間絶縁膜を構成したことを特徴としている。

また、この発明に係る半導体装置の製造方法は、各層配線膜の相互間を層間絶縁膜によって絶縁させた多層配線構造を有する半導体装置の製造方法において、前記配線膜上に、有機シランと酸素を主成分とする混合ガスを反応ガスに用い、プラズマCVD法、あるいは熱CVD法により、下層のシリコン酸化膜を堆積させる工程と、前記下層のシリコン酸化膜上に、塗布絶縁膜を塗布形成させる工程と、前記塗布絶縁膜上に、プラズマCVD法、あるいは熱CVD法により、圧縮の応力をもつシリコン酸化膜を堆積させる工程と、前記圧縮の応力をもつシリコン酸化膜上に、有機シランとオゾンの主成分とする混合ガスを反応ガスに用い、熱CVD法により、中間層のシリコン酸化膜を堆積させる工程と、前記中間層のシリコン酸化膜上に、有機シランと酸素を主成分とする混合ガスを反応ガスに用い、プラズマCVD法、ある

(実 施 例)

以下、この発明に係る半導体装置、およびその製造方法の実施例につき、第1図、および第2図を参照して詳細に説明する。

第1図はこの発明の一実施例を適用した半導体装置における多層配線構造の主要部構成の概要を模式的に示す断面図である。

この第1図に示す実施例装置の構成において、符号1はシリコン基板であり、2は当該シリコン基板1上の所要位置に形成された第1(下層)の層間絶縁膜、2aはそのコンタクトホール、3は当該第1の層間絶縁膜2上に選択的に形成されたそれぞれに第1(下層)の $\Lambda$ 2配線である。

また、4は前記各第1の $\Lambda$ 2配線を被覆するようにして、前記第1の層間絶縁膜2上に形成された第2(上層)の層間絶縁膜であり、4aは第1の層間絶縁膜2上に直接形成される下層の“TEOS+ $O_2$ 系、プラズマCVD、シリコン酸化膜”、4bは当該下層の“TEOS+ $O_2$ 系、プラズマCVD、シリコン酸化膜”4a上に形成される塗布絶縁



膜、4cは当該塗布絶縁膜4b上に形成される圧縮の応力をもつシリコン酸化膜、4dは当該圧縮の応力をもつシリコン酸化膜4c上に形成される中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”、4eは当該中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”4d上に形成される上層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”である。

さらに、5は前記第2の層間絶縁膜4、こゝでは、上層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”4e上に選択的に形成されたそれぞれに第2（上層）のA<sub>2</sub>配線、6は当該各第2のA<sub>2</sub>配線5を被覆するようにして、前記第2の層間絶縁膜4上に形成されたパシベーション膜である。

次に、この実施例装置の製造方法について述べる。

第2図(a)ないし(f)は実施例装置における多層配線構造の主要な製造工程の概要を順次模式的に示すそれぞれに断面図である。

むようにして塗布形成させ、これを100～300℃程度の温度により、数分間ベーキング処理してアルコールなどの溶媒を蒸発させた上で、引き続き、例えば、400℃以上の温度によるベーキングを行なうことにより、当該塗布絶縁膜4bを焼きしめて安定化させる。このとき、塗布絶縁膜4bは、クラックが入らない程度の膜厚にすればよく、こゝでは、前記各第1のA<sub>1</sub>配線3がコンタクトホール2a部で、たとえオーバーハング形状になったとしても、これが当該塗布絶縁膜4bにより回避されて、なだらかな断面形状にされる。なお、この場合、塗布絶縁膜4bについては、先にも述べた如く引張りの応力を有している（第2図(b)）。

続いて、前記塗布絶縁膜4b上の全面に対して、例えば、プラズマCVD法により、TEOSと酸素(O<sub>2</sub>)とを反応ガスに用い、300～450℃程度の温度によって、圧縮の応力をもつシリコン酸化膜4cを500Å程度の厚さで堆積形成させる。この場合、当該シリコン酸化膜4cの膜厚が比較的薄いことから、その断面形状は殆んど変化しない（第2

すなわち、この実施例方法においては、前記従来例方法の場合と同様に、シリコン基板1の主面部上にあつて、まず、第1（下層）の層間絶縁膜2となるシリコン酸化膜を形成し、かつコンタクトホール2aを開口させた後、第1（下層）のA<sub>1</sub>配線3の配線パターンをそれぞれ選択的に形成させ、また、これらの各第1のA<sub>1</sub>配線3の配線パターンを被覆するように、前記第1の層間絶縁膜2上の全面に対して、例えば、プラズマCVD法により、TEOSと酸素(O<sub>2</sub>)とを反応ガスに用い、300～450℃程度の温度によって、第1（下層）の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”4aを3000Å程度の厚さで堆積形成させる（第2図(a)）。

ついで、前記下層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”4a上の全面に、例えば、回転塗布法により、シラノール(Si(OH)<sub>3</sub>)などを主成分とする無機系の塗布絶縁膜4bを、前記第1のA<sub>1</sub>配線3の配線パターン間、ならびにコンタクトホール2a部などの凹形状の部分に埋め込

図(c))。

次に、前記圧縮の応力をもつシリコン酸化膜4c上の全面に対して、熱CVD法により、TEOSとオゾン(O<sub>3</sub>)とを反応ガスに用い、300～450℃程度の温度によって、中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”4dを6000Å程度の厚さで堆積形成させる。こゝで、このとき、前記引張りの応力をもつ塗布絶縁膜4bと、当該中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”4dとの間にあつて、圧縮の応力をもつシリコン酸化膜4cが介在されることになるので、これらの引張りの応力と圧縮の応力とが相殺されて、先に述べたようなクラックは発生しない。そしてまた、該当部分の形状が、塗布絶縁膜4bによりなだらかな断面形状にされており、かつ当該中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”4dのステップカバレッジが良好であることから、前記各第1のA<sub>1</sub>配線3のパターン間、ならびにコンタクトホール2a部が良好に埋め込まれて、前記したボイドなどを生ずる惧れがなく、効果的な

平坦化がなされる(第2図(d))。

また続いて、前記中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”4dを、例えば、四弗化硅素(CF<sub>4</sub>)を反応ガスに用いたRIEによって、6500Å程度まで全面エッチバックすると、当該中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”4dは、前記各第1のA<sub>2</sub>配線3の配線パターン間、ならびにコンタクトホール部2aなどの凹形状の部分にのみ残されることになる(第2図(e))。

さらに、前記残された中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”4dの部分を含んで、前記圧縮の応力をもつシリコン酸化膜4c上の全面を被覆するように、例えば、プラズマCVD法により、TEOSと酸素(O<sub>2</sub>)とを反応ガスに用い、300~450℃程度の温度によって、上層の“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”4eを5000Å程度の厚さで堆積形成させ、このようにして、これらの各膜4aないし4eからなる第2(上層)の層間絶縁膜4を形成させる(第2

ッチング法を組み合わせても、同様な作用、効果を奏し得る。

また、上記実施例においては、圧縮の応力をもつシリコン酸化膜として、“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”を用いる場合について述べたが、これにのみ限定されるものではなく、こゝでも前記と同様に、シラン(SiH<sub>4</sub>)と酸素(O<sub>2</sub>)との混合ガス、あるいは、シラン(SiH<sub>4</sub>)と亜酸化窒素(N<sub>2</sub>O)との混合ガスを反応ガスとするプラズマCVD法、あるいは、熱CVD法によって形成したシリコン酸化膜などの、他の方法で形成した圧縮の応力をもつ絶縁膜であっても同様な作用、効果を奏し得る。

また、上記実施例においては、有機シランの一例として、TEOSを用いる場合について述べたが、その他の有機シラン、例えば、テトラメトキシシラン(Si(OCH<sub>3</sub>)<sub>4</sub>)、テトライソプロポキシシラン(Si(OiC<sub>3</sub>H<sub>7</sub>)<sub>4</sub>)、ジターシャリブトキシアセトキシシラン(DADBDS:(tC<sub>4</sub>H<sub>9</sub>O<sub>2</sub>)Si(OOCCH<sub>3</sub>)<sub>2</sub>)などを用いても同様な作用、効果を奏し得る。

図(f))のであり、その後、従来例方法の場合と同様に、当該第2の層間絶縁膜4上にあって、第2(上層)のA<sub>2</sub>配線5をそれぞれ選択的に形成させ、かつその上部をバシベーション膜6により保護被覆させることで、所期通りの多層配線構造を得るのである。

なお、上記実施例においては、塗布絶縁膜、圧縮の応力をもつシリコン酸化膜、それに中間層の“TEOS+O<sub>2</sub>系、熱CVD、シリコン酸化膜”を挟む下層、および上層の各シリコン酸化膜として、“TEOS+O<sub>2</sub>系、プラズマCVD、シリコン酸化膜”を用いているが、シラン(SiH<sub>4</sub>)と酸素(O<sub>2</sub>)との混合ガス、あるいは、シラン(SiH<sub>4</sub>)と亜酸化窒素(N<sub>2</sub>O)との混合ガスを反応ガスとするプラズマCVD法、あるいは、熱CVD法によって形成したシリコン酸化膜などの、他の方法で形成した絶縁膜であっても同様な作用、効果を得ることができ、かつまた、より一層、平坦性を良好にするために、さらに、塗布絶縁膜を組み合わせるとか、RIE、スパッタエッチングなどを用いるエ

また、上記実施例においては、有機シランと、酸素、あるいはオゾンのみを用いて、膜形成を行なう場合について述べたが、これらのガスを主成分とし、かつ形成膜のクラック耐性を一層、向上させるために、リン(P)とか、ボロン(B)などの不純物をシリコン酸化膜中にドーピングする手段として、トリメチルフォスフォラス(P(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>)、トリメチルボロン(B(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>)などを添加した場合でも同様な作用、効果を奏し得る。

また、上記実施例においては、第1、第2の各配線が、A<sub>2</sub>である場合について述べたが、これらの双方、もしくは一方の配線材料が、タングステン(W)、モリブデン(Mo)、チタン(Ti)などの高融点金属とか、これらの各シリサイド(WSi<sub>2</sub>, MoSi<sub>2</sub>, TiSi<sub>2</sub>)配線、もしくは多結晶シリコン配線であっても同様な作用、効果を奏し得る。

さらに、上記実施例においては、2層構造の配線膜について述べたが、これのみに限定されず、一層、多層化された構造の場合にも適用できることは勿論である。

## 〔発明の効果〕

以上詳述したように、この発明によれば、各層配線膜の相互間を層間絶縁膜によって絶縁させた多層配線構造を有する半導体装置において、配線膜上に対し、有機シランと酸素を主成分とする混合ガスを反応ガスにして、プラズマCVD法、あるいは熱CVD法で堆積させた下層のシリコン酸化膜と、塗布絶縁膜と、プラズマCVD法、あるいは熱CVD法で堆積させた圧縮の応力をもつシリコン酸化膜と、有機シランとオゾンの主成分とする混合ガスを反応ガスにして、熱CVD法で堆積させた中間層のシリコン酸化膜と、有機シランと酸素を主成分とする混合ガスを反応ガスにして、プラズマCVD法、あるいは熱CVD法で堆積させた上層のシリコン酸化膜とを、順次に積層して層間絶縁膜を構成させるようにしたから、下層と中間層との各シリコン酸化膜間に形成されるところの、引張りの応力をもつ塗布絶縁膜と、圧縮の応力をもつシリコン酸化膜との各応力の相殺作用によって、これらの両膜間にクラックを生ず

る惧れが解消されると共に、塗布絶縁膜による平坦化作用、および中間層のシリコン酸化膜による優れたステップカバレッジ作用とで、サブミクロン級での配線パターン間隔、およびコンタクトホール部の平坦化が可能になり、これによって、クラック耐性、ならびに平坦性の良好な層間絶縁膜を形成できるもので、結果的に、配線膜でのパターンニングの安定性向上、断線防止が果たされて、信頼性の高い多層配線構造を実現し得るものである。

## 4. 図面の簡単な説明

第1図はこの発明の一実施例を適用した半導体装置における多層配線構造の主要部構成の概要を模式的に示す断面図、第2図(a)ないし(f)は同上装置における多層配線構造の主要な製造工程の概要を順次模式的に示すそれぞれに断面図であり、また、第3図は従来の多層配線構造を有する半導体装置(DRAM)におけるメモリーセル部の概要を模式的に示す断面図、第4図は同上第3図IV-IV線部の簡略化した断面図、第5図(a)な

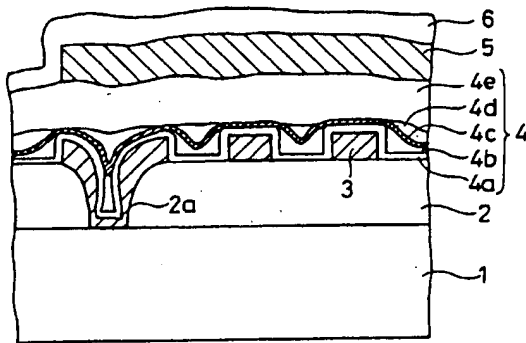
いし(d)は同上積層構造による上層の第2の層間絶縁膜の形成工程を順次模式的に示すそれぞれに断面図、第6図は同上第5図構成におけるクラックの発生状態を説明する断面図、第7図(a)ないし(d)は同上有機シランを用いて堆積形成するシリコン酸化膜を組み合わせた積層構造による層間絶縁膜の形成工程を順次模式的に示すそれぞれに断面図、第8図(a)ないし(e)は同上有機シランを用いて堆積形成するシリコン酸化膜と塗布絶縁膜とを組み合わせた積層構造による層間絶縁膜の形成工程を順次模式的に示すそれぞれに断面図、第9図は同上第7図、第8図構成におけるクラックの発生状態を説明する断面図である。

- 1 ……シリコン基板、
- 2 ……第1(下層)の層間絶縁膜、
- 2a ……コンタクトホール、
- 3 ……第1(下層)のAl配線、
- 4 ……第2(上層)の層間絶縁膜、
- 4a ……下層の“TEOS+O<sub>2</sub>系、  
プラズマCVD、シリコン酸化膜”、

- 4b ……塗布絶縁膜、
- 4c ……圧縮の応力をもつシリコン酸化膜、
- 4d ……中間層の“TEOS+O<sub>2</sub>系、熱CVD、  
シリコン酸化膜”、
- 4e ……上層の“TEOS+O<sub>2</sub>系、  
プラズマCVD、シリコン酸化膜”、
- 5 ……第2(上層)のAl配線、
- 6 ……パシベーション膜、

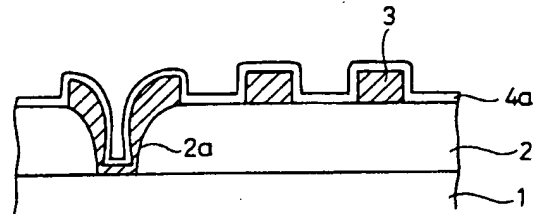
代理人 大 岩 増 雄

第 1 図

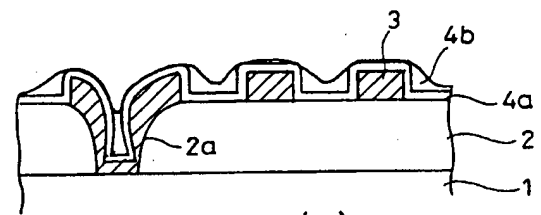


- 1: シリコン基板  
 2: 第1(下層)の層間絶縁膜  
 2a: コンタクトホール  
 3: 第1(下層)のAl配線  
 4: 第2(上層)の層間絶縁膜  
 4a: 下層の"TEOS+O<sub>2</sub>系, プラズマCVD, シリコン酸化膜"  
 4b: 塗布絶縁膜  
 4c: 圧縮の応力をもつシリコン酸化膜  
 4d: 中間層の"TEOS+O<sub>2</sub>系, 熱CVD, シリコン酸化膜"  
 4e: 上層の"TEOS+O<sub>2</sub>系, プラズマCVD, シリコン酸化膜"  
 5: 第2(上層)のAl配線  
 6: パッシベーション膜

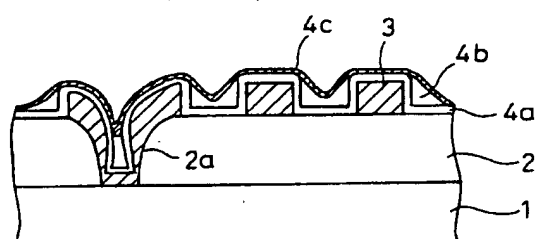
第 2 図(a)



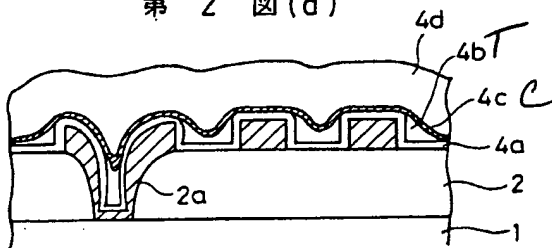
第 2 図(b)



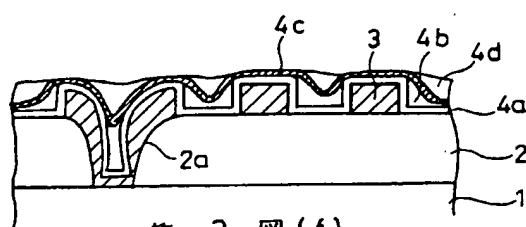
第 2 図(c)



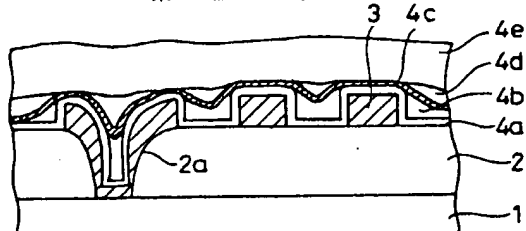
第 2 図(d)



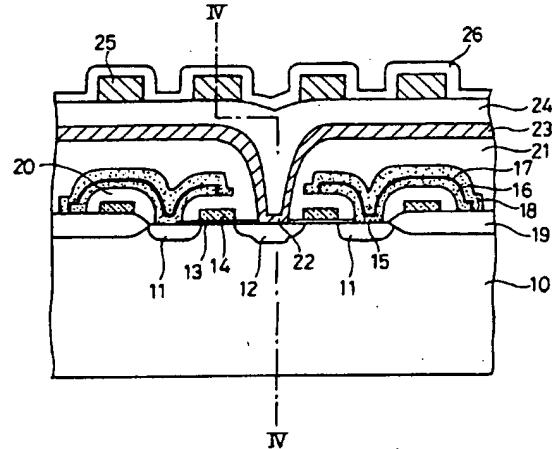
第 2 図(e)



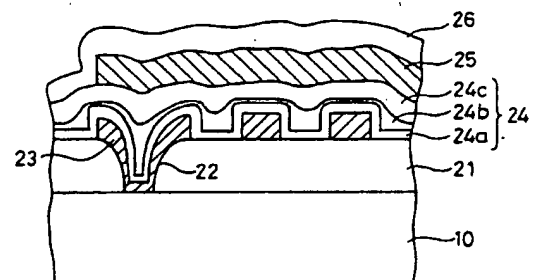
第 2 図(f)



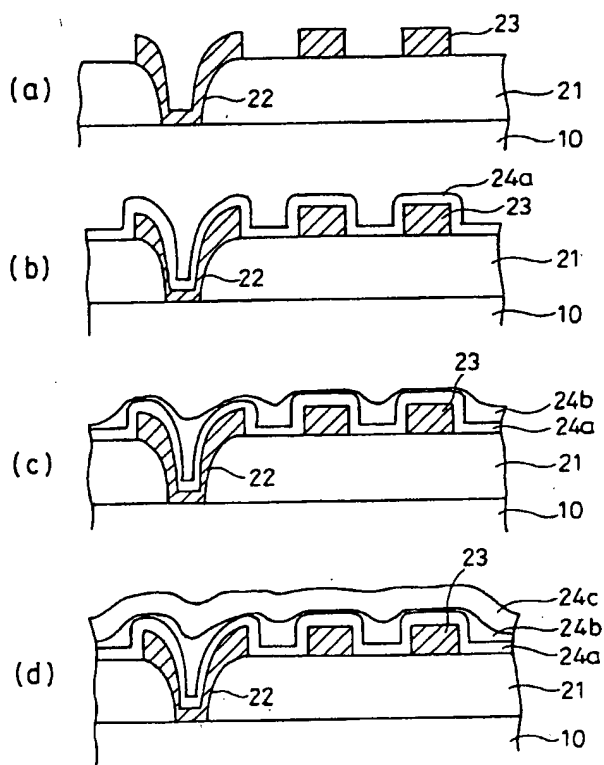
第 3 図



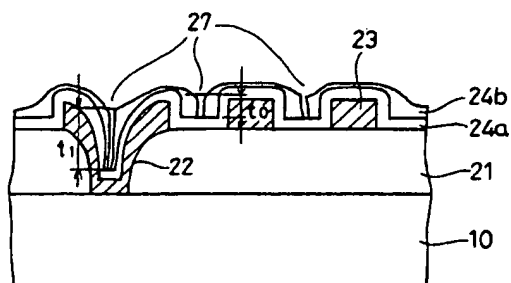
第 4 図



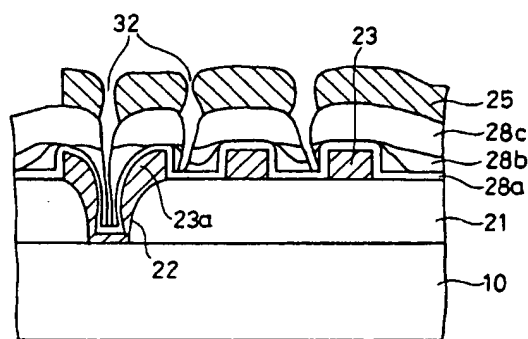
第 5 図



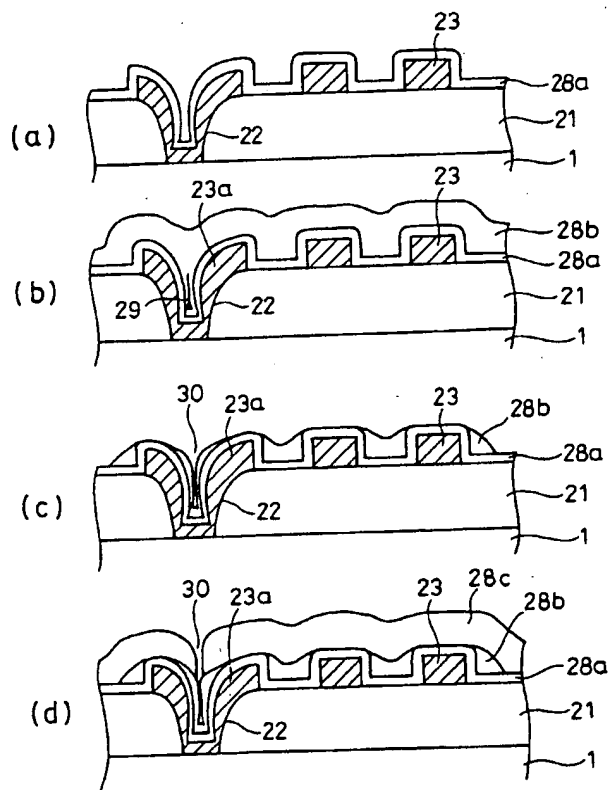
第 6 図



第 9 図



第 7 図



第 8 図

